

3次元積層型ヘテロジニアスプロセッサ のためのシミュレータ開発とその応用

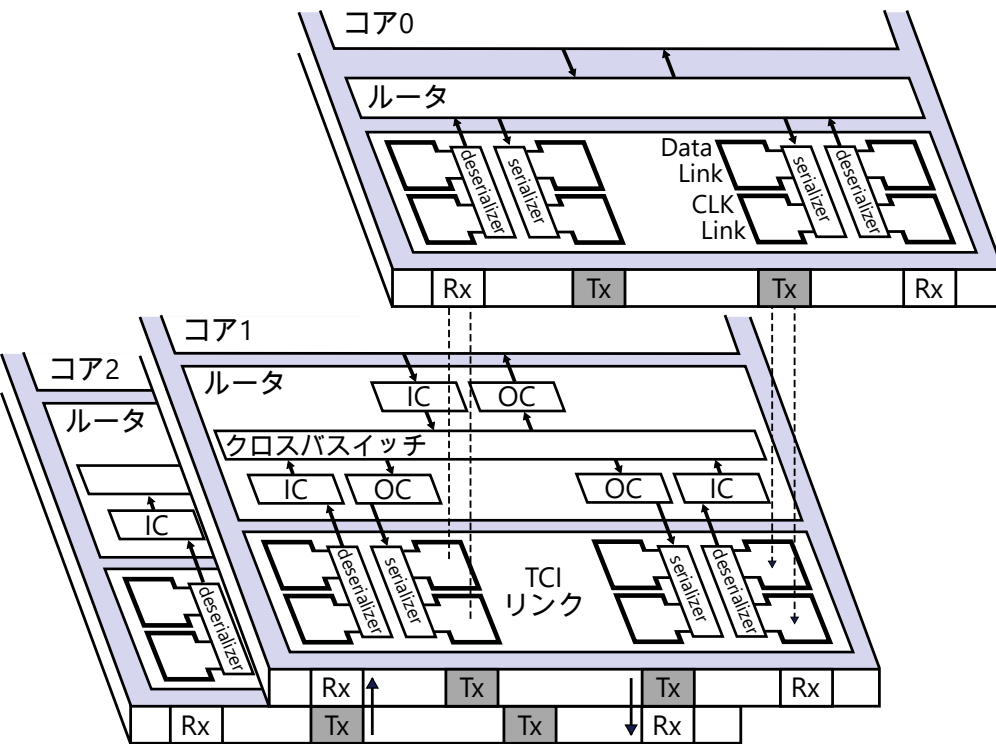
ETNET2020

小島 拓也、池添 赴治、天野 英晴
慶應義塾大学 理工学研究科

3D/2.5D SiPの時代へ

- 従来の2次元平面のLSI
 - 微細化の限界や配線長の増加
- 2.5次元,3次元LSIによる解決
 - SiP (System In Package)/MCP (Multi-Chip Package)
 - NREコスト削減
 - 歩留まり向上
- シリコン貫通電極TSVによるSiPは既に製品化
 - FPGA: Virtex-7 (Xilinx), Stratix 10 (Intel)
 - GPU: FIJI(AMD), Volta (NVIDIA)
 - 3D-DRAM: HBM1.0, HBM2.0 (JEDEC)
 - CPU: Xeon Phi, Lakefield (Intel)
- 多くが高いスループット達成を目的

誘導結合TCIを用いた ビルディングブロック型計算システム



■ TCI (ThruChip Interface)

- コイルの誘導結合を用いたシリアル通信

■ CMOSプロセス互換

- コイルは通常のメタル層で形成

- 最大8Gbpsのデータ転送

- 10^{-12} 以下のエラー率

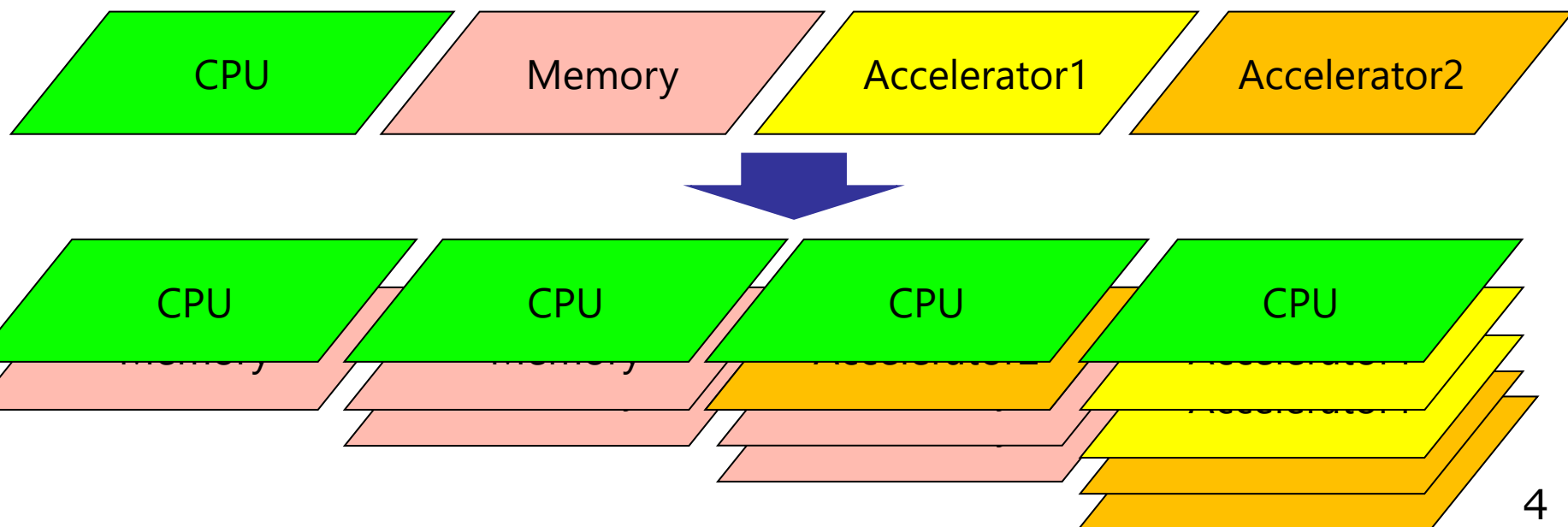
■ TCIを用いたエスカレータネットワーク

- 35bit 1フリットの packets 通信を行うルータ

- 積層チップで双方向リングを形成

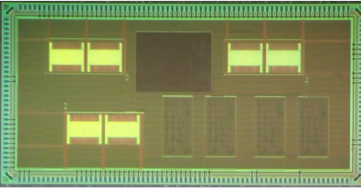
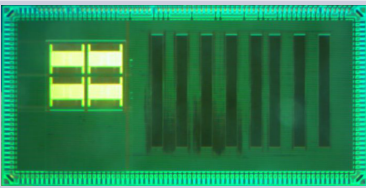
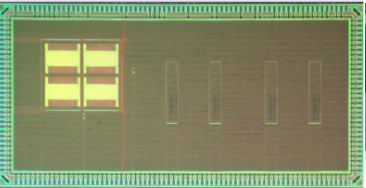
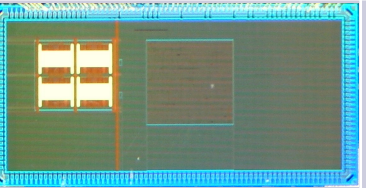
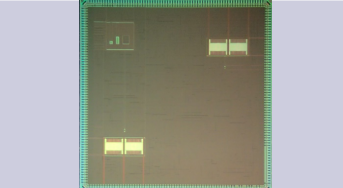
柔軟性のあるシステムの実現

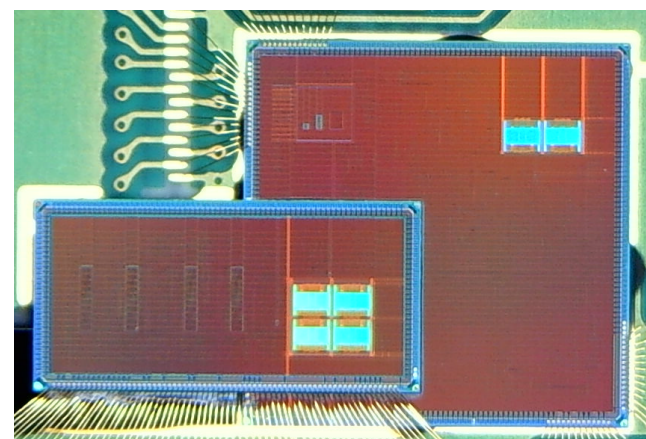
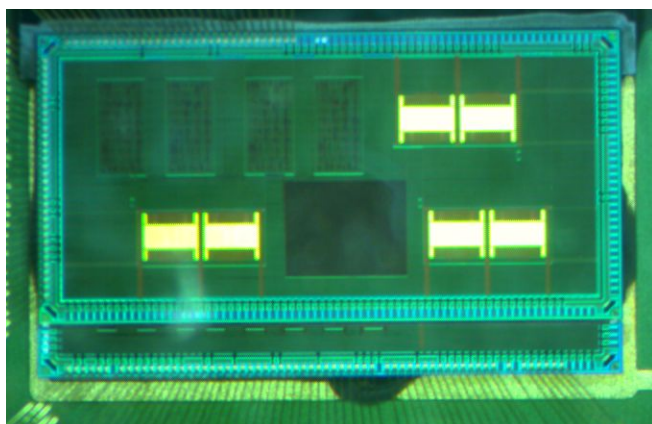
- 容易にシステム構成をカスタマイズ
 - 用途に応じて機能モジュールを組み合わせ
 - 例)
 - CPU, メモリ, DSA (Domain Specific Architecture), Reconfigurableデバイス



試作済みシステム Cube-2[1]

■ Renesas SOTB 65nmで試作

GeyserTT	CC-SOTB2	SNACC	KVS	SMTT
				
MIPS R3000 プロセッサ	粗粒度再構成 可能デバイス	CNN アクセラレータ	Non-SQL DB アクセラレータ	共有メモリ ブリッジチップ



システム設計時の課題と解決

■現状のフロー



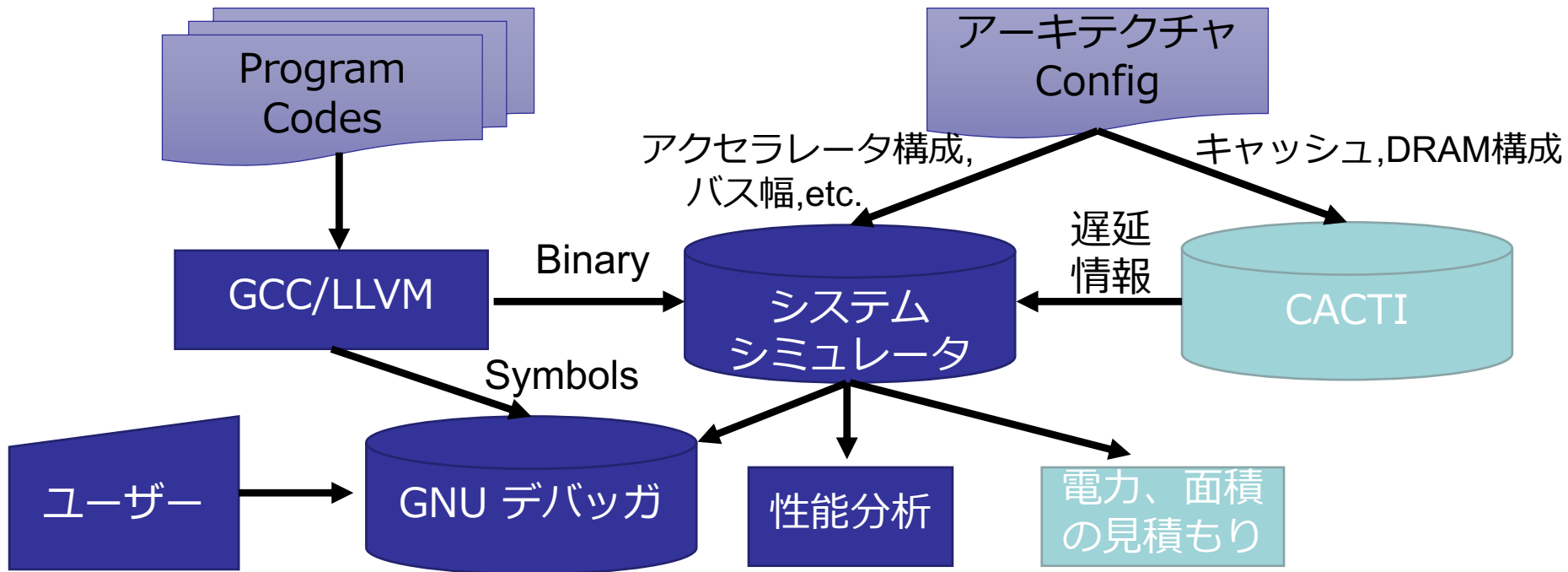
■各種パラメータ変更の変更が容易でない

- キャッシュ、メモリサイズ
- データバス幅、バンド幅
- アクセラレータコア数



■ サイクルレベルシミュレータによるシステムの予備評価

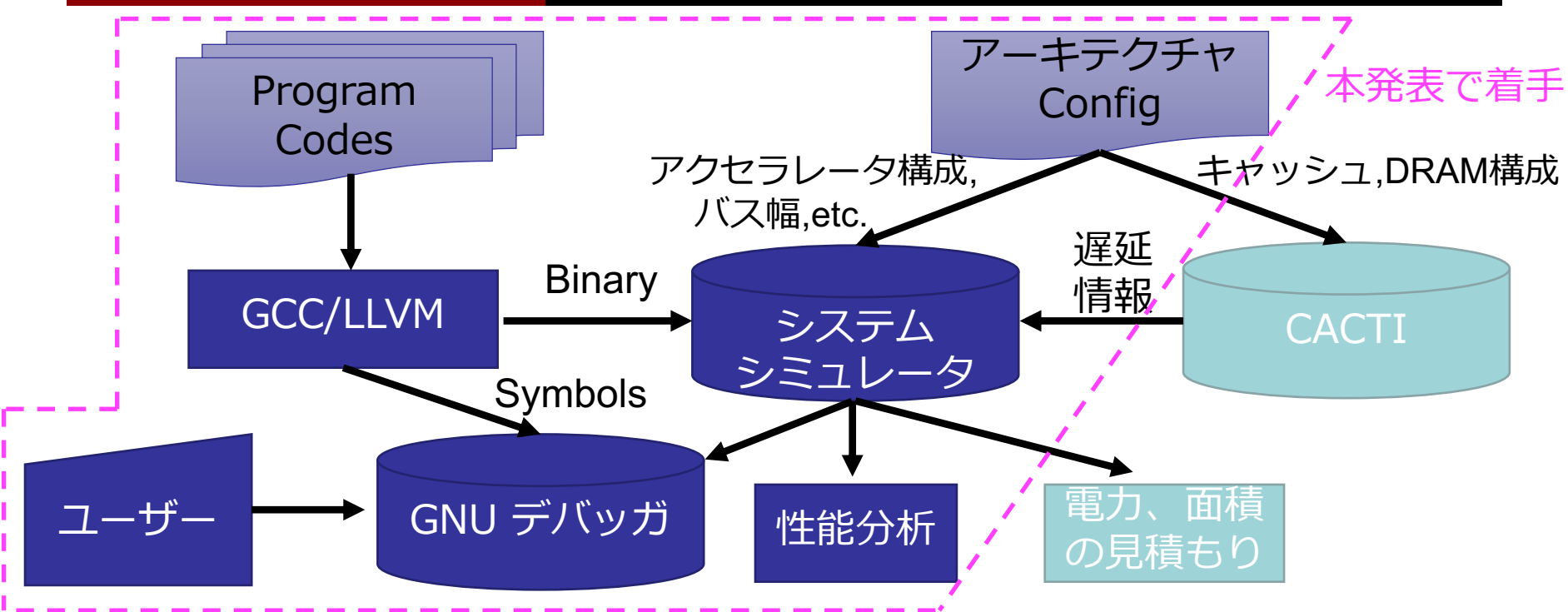
本研究の目標



■ 3次元積層型システム向けシミュレータの開発

- サイクルアキュレートレベル
- アーキテクチャのパラメータ化
- 高速なシミュレーション環境
- デバッグ機能の提供

本研究の目標



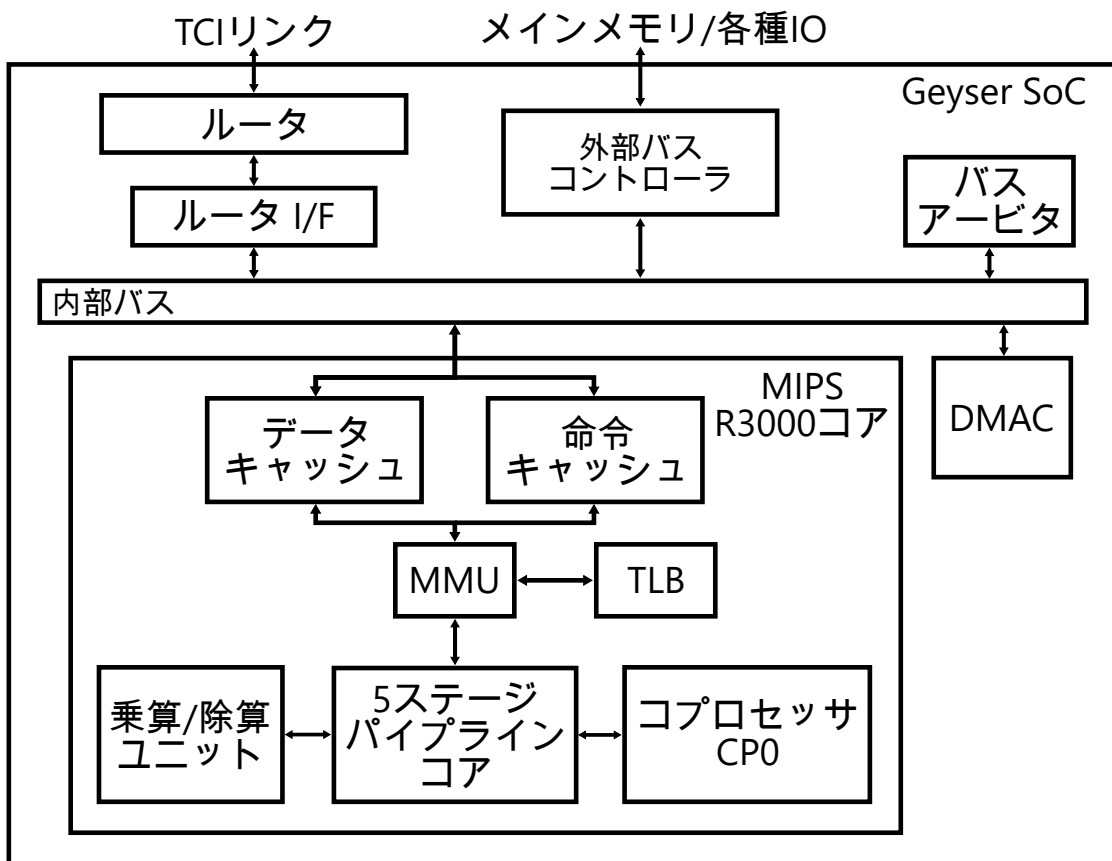
■ 3次元積層型システム向けシミュレータの開発

- サイクルアキュレートレベル
- アーキテクチャのパラメータ化
- 高速なシミュレーション環境
- デバッグ機能の提供

シミュレータの開発

- オープンソースシミュレータVMIPS[2]をベースに拡張
 - C++言語で実装
 - MIPS R3000 ISAをエミュレート
 - ハードウェア的な振る舞いを追加
 - CPUのパイプライン
 - メモリアクセスレイテンシ
 - キャッシュ
 - バス競合, etc.
 - チップ間ルータの追加

ホストプロセッサ: Geyser

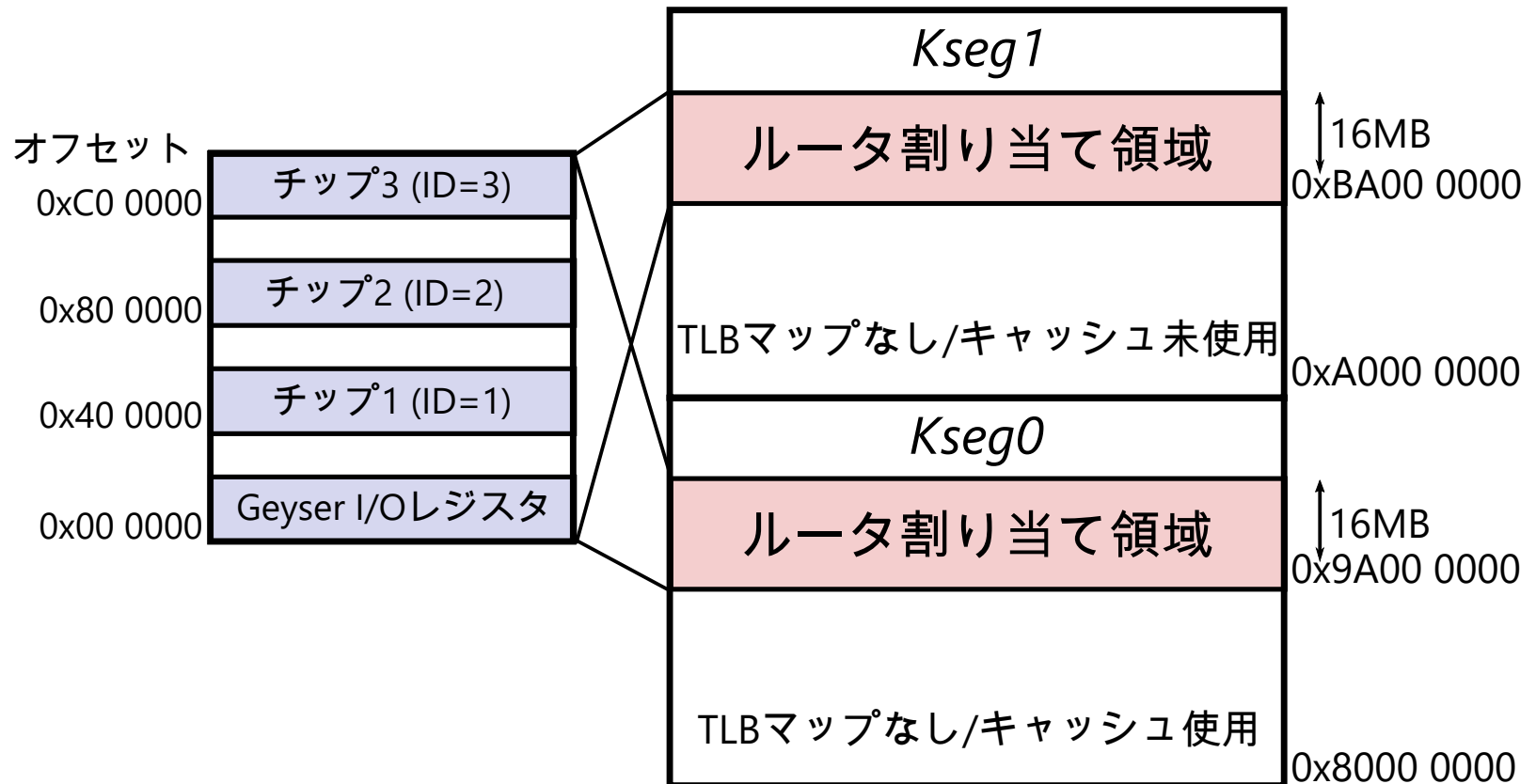


Geyser SoCの構成

発生するストール

	要因	ストールサイクル
IF	キャッシュミス	不定
	メモリストール	不定
ID	データハザード	1サイクル
EX	構造ハザード (CPO)	最大5サイクル
	構造ハザード (乗算器)	最大3サイクル
	構造ハザード (除算器)	最大9サイクル
MEM	キャッシュミス	不定
	メモリストール	不定

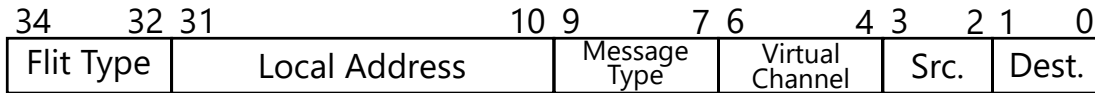
Geyserアドレス空間



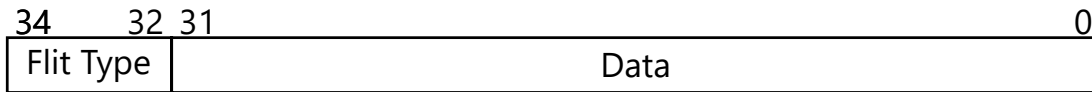
- 積層チップは2つのアドレス空間にマップ
 - 現在の設計ではGeyserを含め最大4チップ
- 通常のロード/ストアでアクセス

ルータによるフロー制御-1

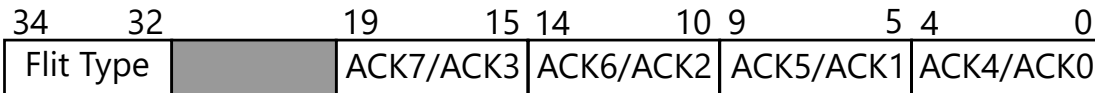
HEAD/HEADTAIL Flit



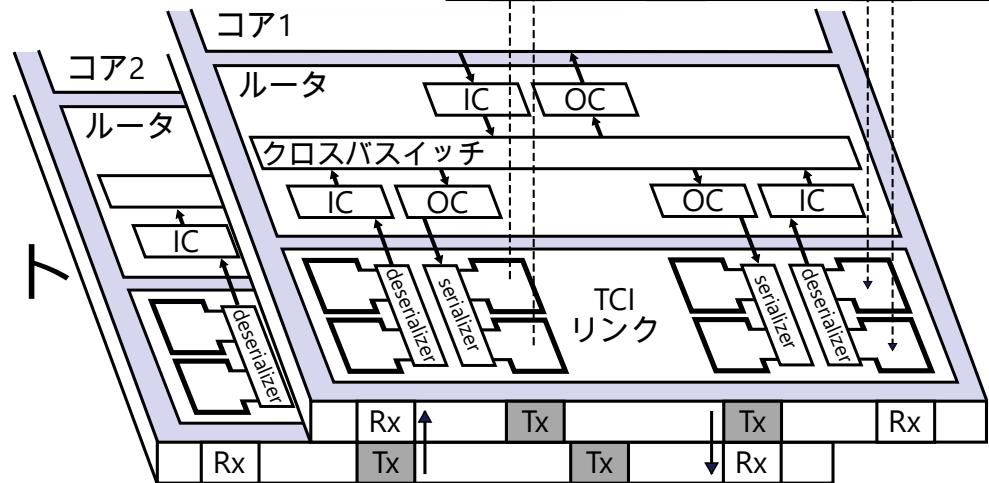
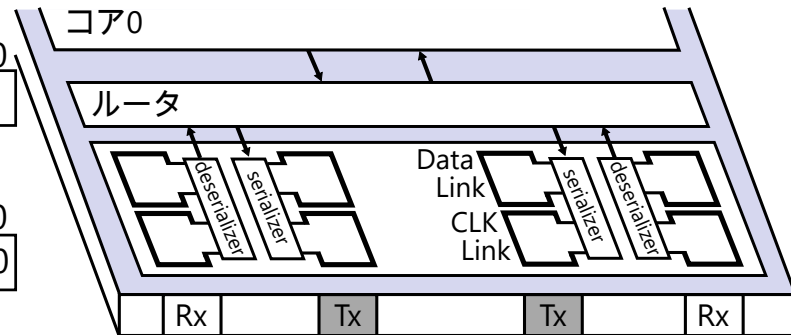
DATA/TAIL Flit



STAT0/STAT1 Flit

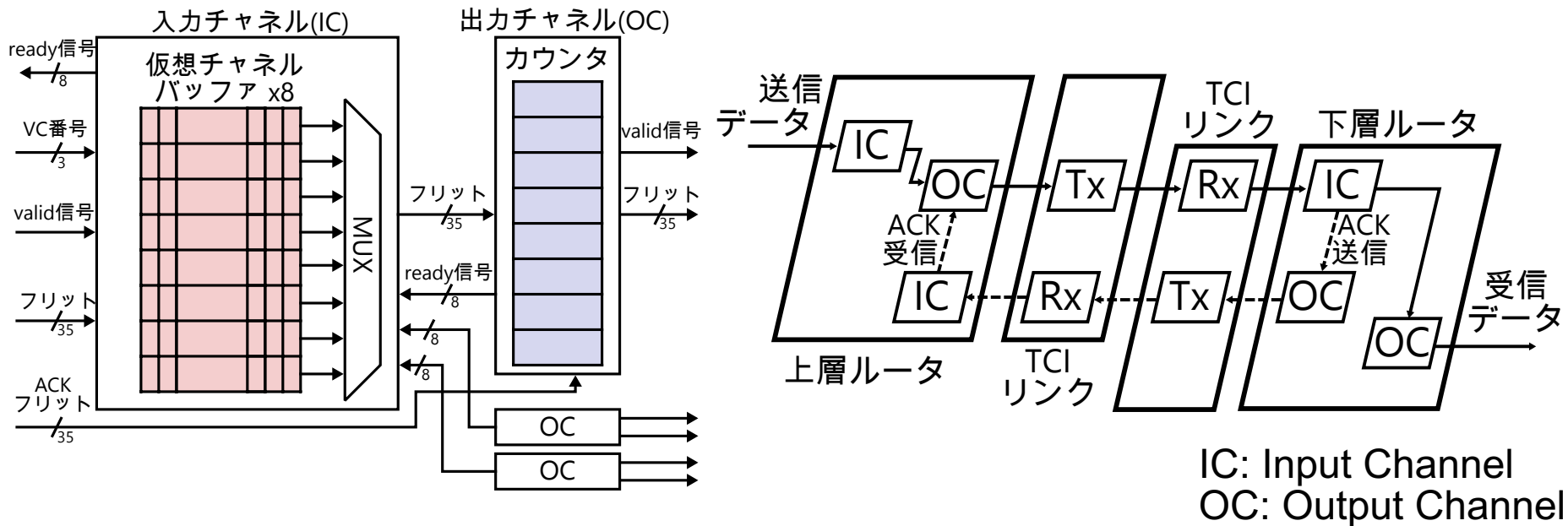


フリットフォーマット



- データ転送
 - ヘッダ+データフリット
 - or ヘッダのみ
- ピギーバック
 - 転送先チップのバッファ状態を把握

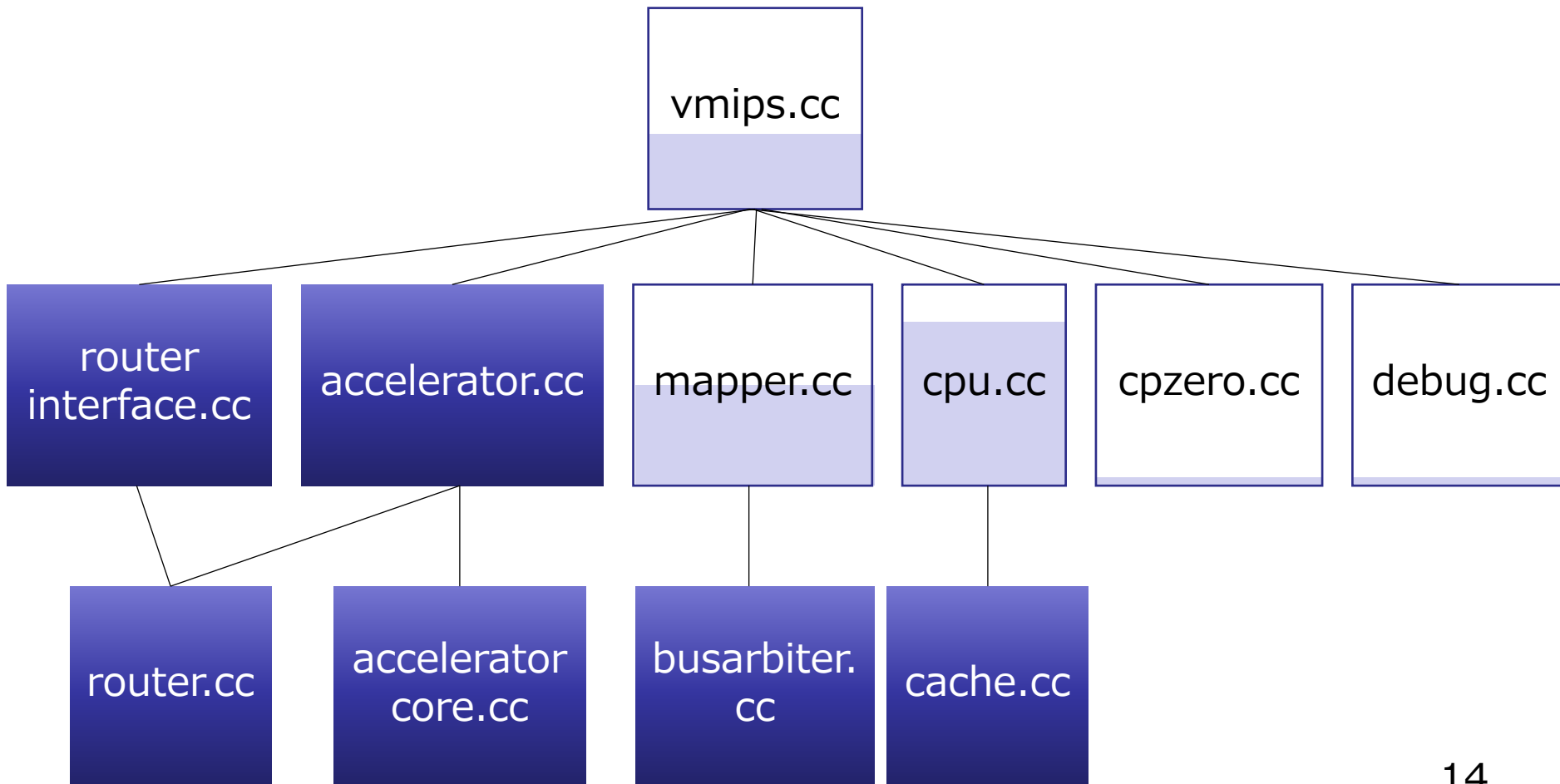
ルータによるフロー制御-2



- ある上層チップから下層チップへデータを転送する場合の動作例
 - 下層チップはACKを返す
- 各チャンネルは8つの仮想チャンネルで構成

シミュレータの構成 (主要部)

■ 追加および変更したコード



シミュレータの構成 (主要部)

■ 追加および変更したコード

vmips.

- 5段パイプライン化
- ストール、例外の適切なハンドリング

router
interface.cc

accelerator.cc

mapper.cc

cpu.cc

cpzero.cc

debug.cc

router.cc

accelerator
core.cc

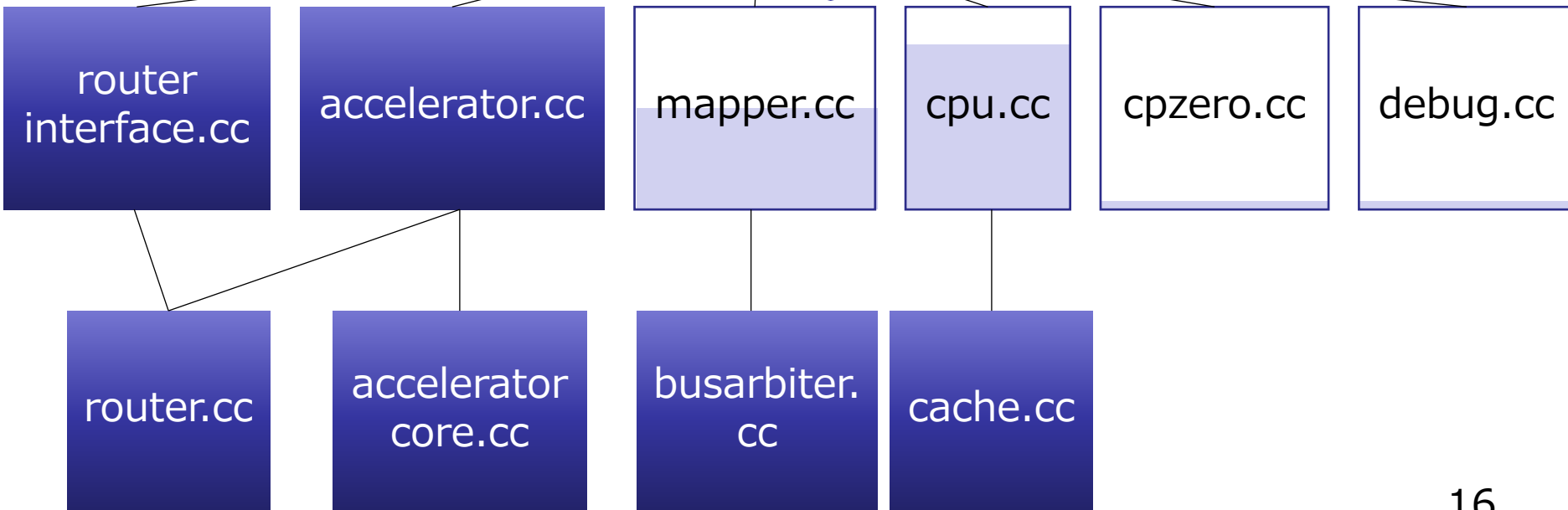
busarbiter.
cc

cache.cc

シミュレータの構成 (主要部)

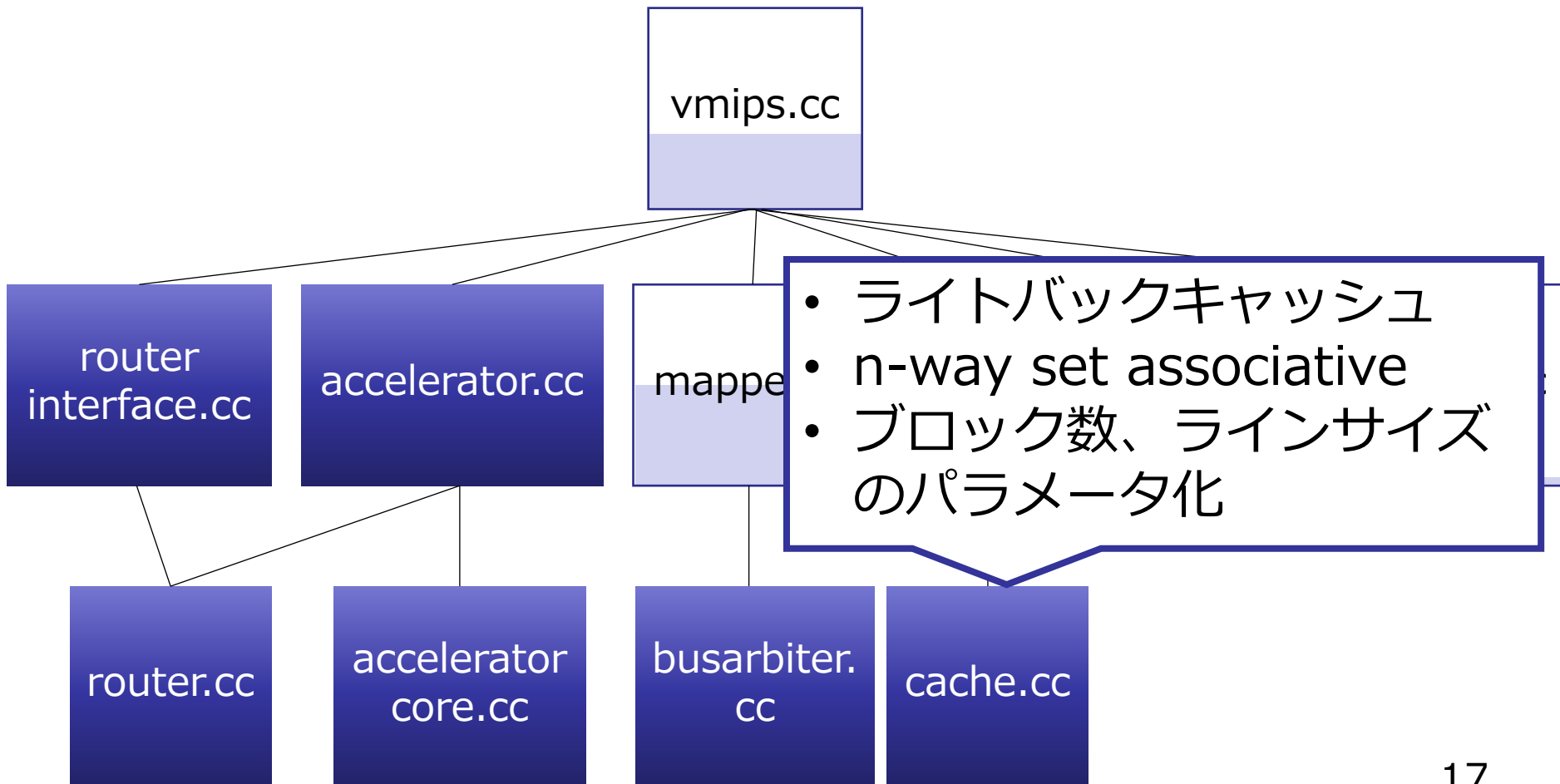
■ 追加および変更したコード

- メモリアクセスレイテンシの考慮
- バスのアービトレーション
- バンド幅のパラメータ化



シミュレータの構成 (主要部)

■ 追加および変更したコード



シミュレータの構成 (主要部)

■ 追加および変更したコード

- ルータによるフロー制御のエミュレート

nips.cc

router
interface.cc

accelerator.cc

mapper.cc

cpu.cc

cpzero.cc

debug.cc

router.cc

accelerator
core.cc

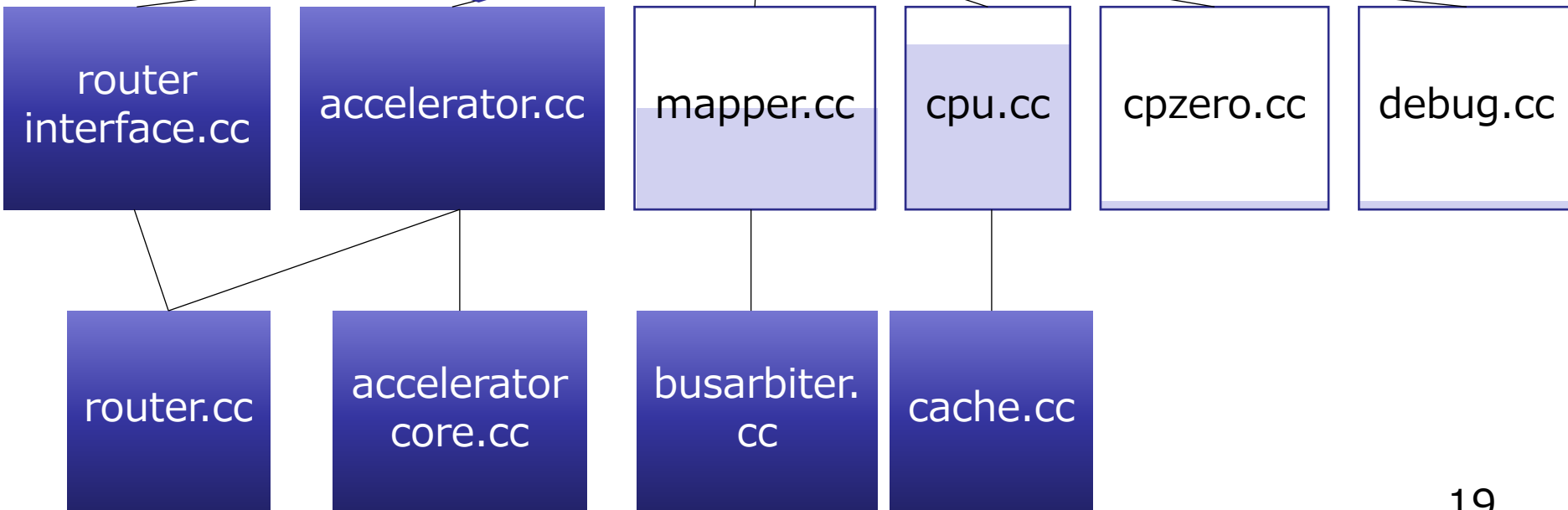
busarbiter.
cc

cache.cc

シミュレータの構成 (主要部)

■ 追加および変更したコード

- アクセラータ用基底クラス
- 継承してアクセラレータを
- カスタマイズ



評価

- 本シミュレータ自体の評価
 - 同等のRTLシミュレーションと比較
 - vs Cadence NC-Verilog
- システム評価の利用例
 1. コンパイラの比較
 2. キャッシュway数の比較
 3. データバス幅の比較

実行時間の比較

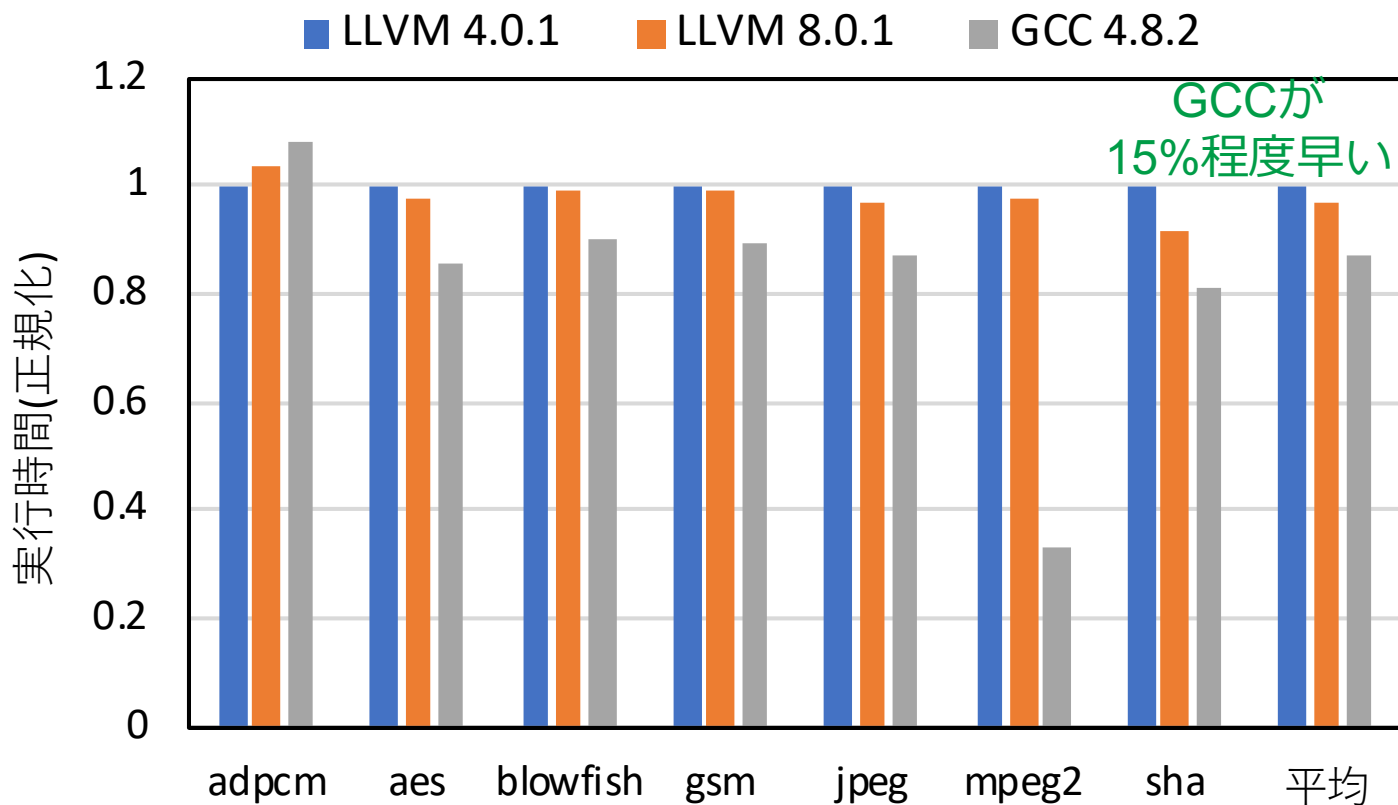
■ 3つの構成でRTLシミュレーションと比較

- Geyser単体
- Geyser+CC-SOTB2
- Geyser+CC-SOTB2x2

[sec]	NC-Verilog	本シミュレータ
Geyser	27.024	0.115
Geyser+CC-SOTB2	24.750	0.171
Geyser+CC-SOTB2 x 2	29.231	0.174

- Intel Core i5-4250U 1.3GHz
- DDR3-SDRAM 8GBで実行
- 約234倍の高速化

評価-コンパイラの比較

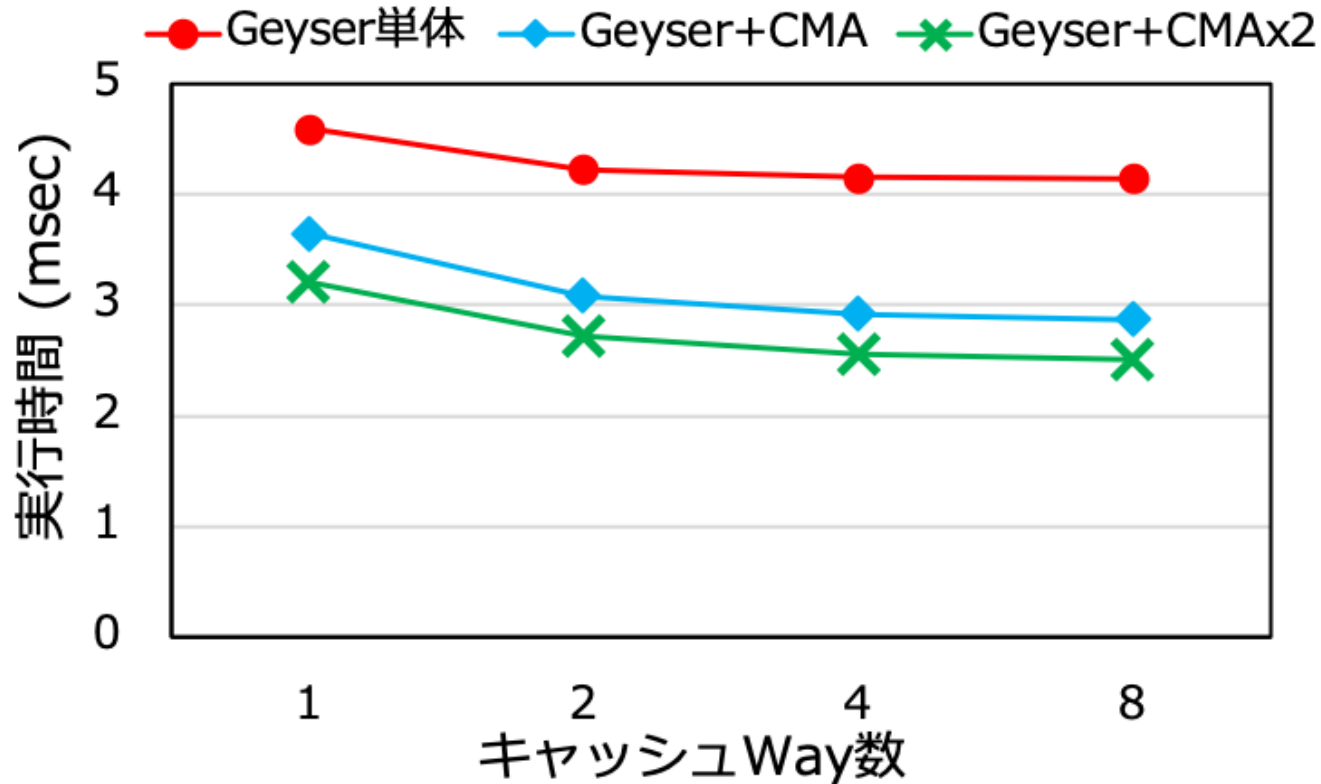


■ Geyserのみを利用

■ LLVM4.0.1,LLVM8.0.1, GCC 4.8.2クロスコンパイラ

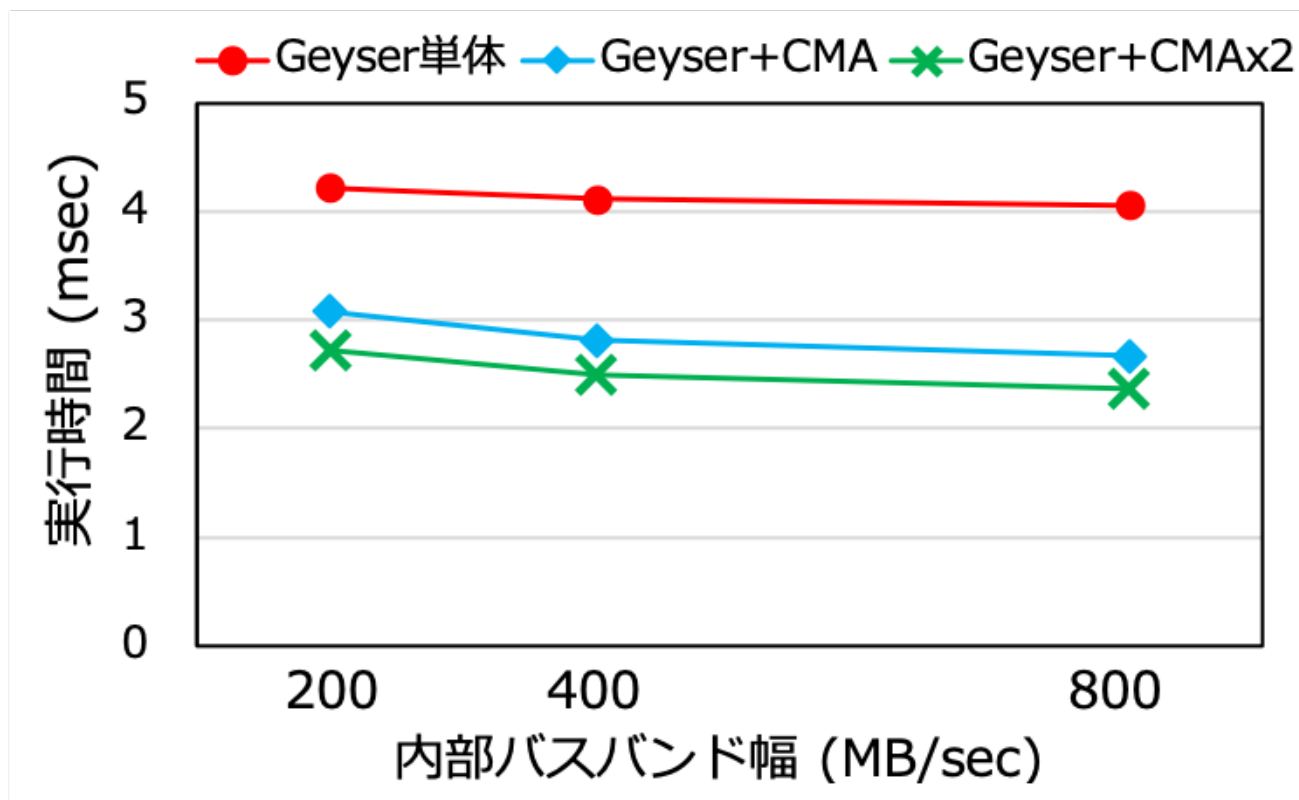
■ すべてO3で最適化

キャッシュway数 vs パフォーマンス



- JPEGエンコードをケーススタディとして利用
- CC-SOTB2(CMA)にオフロードすると
1.3~1.4倍高速化

バス幅 vs パフォーマンス



- 同様にJPEGエンコード
- バス幅に合わせてTCIの転送速度も増加させている

結論

- 3次元積層システム向けのシミュレータを開発
 - アーキテクチャをパラメータを変えて評価が可能に
 - 高速なシミュレーション
- 今後の課題
 - 本評価では電力、面積の増加を考慮できていない
 - 電力、面積の推定、シミュレーション環境を追加
 - CC-SOTB2以外のアクセラレータもサポート